

Family list

1 family member for:

JP4056168

Derived from 1 application.

1 THIN-FILM TRANSISTOR AND ITS MANUFACTURE

Publication Info: JP4056168 A - 1992-02-24

Data supplied from the **esp@cenet** database - Worldwide

Best Available Copy

THIN-FILM TRANSISTOR AND ITS MANUFACTURE

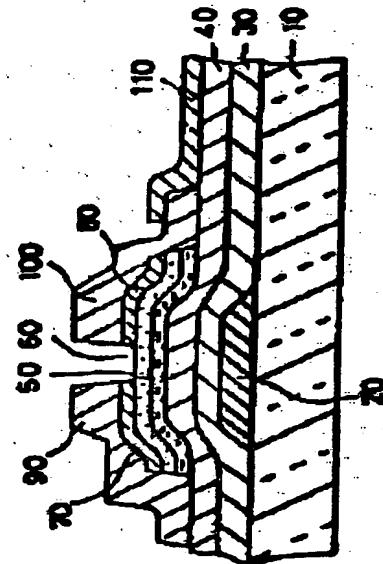
Patent number: JP4056168
Publication date: 1992-02-24
Inventor: SANO HIROYUKI; IMASHIRO SHINICHI; TOKO YASUO
Applicant: STANLEY ELECTRIC CO LTD
Classification:
 - **International:** (IPC1-7): H01L29/784
 - **European:**
Application number: JP19900163744 19900621
Priority number(s): JP19900163744 19900621

[Report a data error here](#)

Abstract of JP4056168

PURPOSE: To easily control the etching operation of a semiconductor layer, to eliminate a drop in the insulation of a gate insulating film and to enhance reliability and productivity by a method wherein the gate insulating film is formed of a three-layer laminated structure in which adjacent layers are formed of mutually different materials and the semiconductor layer is formed on it.

CONSTITUTION: A gate electrode 20 for a transistor is formed and patterned on a glass substrate 10. In addition, three layers by a first gate insulating film 30, a second gate insulating film 40 and a third gate insulating film 50 in the order from the side close to the substrate 10 are laminated on it. An amorphous silicon semiconductor layer (a-Si) 60 constituting a channel is formed on the third gate insulating film 50 so as to face the gate electrode 50. The film 50 is formed of a silicon nitride film by a plasma CVD method. When an etching operation is shifted from the semiconductor layer to the film 50, the plasma luminous peak of nitrogen is detected and an etching end point is detected. Thereby, a thin-film transistor in which a source is not short-circuited with a gate, whose insulating property is excellent and whose characteristic is stable can be manufactured with good reproducibility.



Data supplied from the [esp@cenet](#) database - Worldwide

① 日本国特許庁 (JP) ② 特許出願公開
② 公開特許公報 (A) 平4-56168

③ Int. CL.
H 01 L 29/784

識別記号 庁内整理番号

9056-4M H 01 L 29/78

④ 公開 平成4年(1992)2月24日

311 G

審査請求 有 求項の数 4 (全4頁)

⑤ 発明の名称 薄膜トランジスタおよびその製造方法

⑥ 特願 平2-163744

⑦ 出願 平2(1990)6月21日

⑧ 発明者 佐野 寛幸 神奈川県大和市南林間8-10-5-101

⑨ 発明者 今城 健一 神奈川県川崎市麻生区虹ヶ丘2-3-2-702

⑩ 発明者 都甲 康夫 神奈川県横浜市緑区荏田南2-17-8-202

⑪ 出願人 スタンレー電気株式会社 東京都目黒区中目黒2丁目9番13号

⑫ 代理人 弁理士 高橋 敏四郎

明細書

1. 発明の名称

薄膜トランジスタおよびその製造方法

2. 特許請求の範囲

(1). 透明絶縁基板と、

前記透明絶縁基板上に形成したゲート電極層と、

前記ゲート電極層と前記基板の上に形成したゲート絶縁層と、

前記ゲート絶縁層の上に形成した半導体層と、前記半導体層の上に形成したソース／ドレイン電極層とを有し、

前記ゲート絶縁層は隣接する層が互いに異なる材料で形成された3層の複層を含む薄膜トランジスタ。

(2). 前記ゲート絶縁層は前記ゲート電極層に近い層に第1絶縁層、第2絶縁層及び第3絶縁層を含み、前記第2絶縁層が前記第3絶縁層よりも耐エッティング性に優れる材料で構成される請求

項1記載の薄膜トランジスタ。

(3). 透明絶縁基板上にゲート電極層を形成する工程と、

前記ゲート電極層と前記透明絶縁基板の上に三層の複層構造を含むゲート絶縁層を形成する工程であって、前記3層の第1層と第2層とは異なる成膜性で形成する工程と、

前記ゲート絶縁層の上に半導体層を形成する工程と、

前記半導体層の所定領域をエッチングする工程と、

前記半導体層の上にソース電極とドレイン電極の層を同時に形成する工程と、

を含む薄膜トランジスタの製造方法。

(4). 前記ゲート絶縁層の3層の形成工程は、プラズマCVD法による重化シリコン膜で第1層を形成し、スペック後による酸化シリコン膜で第2層を形成することを含む請求項4記載の薄膜トランジスタの製造方法。

3. 発明の詳細を説明

【底面上の利用分野】

本発明は電口トランジスタに係わり、特に液晶ディスプレイのアタティップマトリックス表示電子の表示部面に好適な信頼性と生産性の高い電口トランジスタおよびその製造方法に関するものである。

【従来の電口】

図2図にアタティップマトリックス電子に利用した従来の電口トランジスタの断面構造を示す。ガラス基板10上にトランジスタのゲート電極20が形成され、ペターニングされ、その上にならにゲート電極30、40が2層電極として形成されている。(ゲート電極間は1層のみの場合もある。)ゲート電極20に向かうように施設口40上にチャネルを形成する半導体電極60が形成され、その上にコンタクトを形成するための低抵抗半導体電極70、80が所定形状にペターニングされて形成され、その上にソース電極90とドレイン電極100とが形成されることにより電口ト

ランジスタの一端子が構成されている。半導体電極60、70、80の形成工程においてはエマッタング工程は、例えばCF、及びO2ガスを用いてのエタッタングで行なわれる。エマッタング工程は、たとえば高周波電力約10~800W、圧力約1~100Paである。さらに、ドレイン電極100の一部と接続し、ゲート電極20の上に形成して面接となる電極電極110が構成される。

【発明が解決しようとする課題】

図1のゲート電極20に電化シリコン(810E)又は、電化タンタル(Al2O3)を被覆し、図2のゲート電極40に電化シリコン(810E)又は、電化タンタル(Al2O3)を被覆した場合には、半導体電極60、70、80のエマッタング工程のエマッタング面に当り、電化シリコンのエマッタングレートが非常に高い。このため、半導体電極がエマッタングされた後に残りて電極に図2のゲート電極40の電化シリコンもエマッタングされる。これにより図2のゲート電極40のオーバエマッタングを引き起こし、ゲート電極20を構成する。

電口の厚さが所要の値よりも薄くなり、施設部下やソース・ゲート電極の断面となる。

また、図1のゲート電極20に電化シリコン(810E)を被覆し、図2のゲート電極40に電化シリコン(810E)又は、電化タンタル(Al2O3)を被覆した場合には、半導体電極60、70、80のエマッタング端点突出がしにくく、半導体電極60、70、80がプラズママジマークを受ける。さらに、電化シリコンや電化タンタルの電化シリコンに比べ半導体電極との界面単位が不適切である欠点がある。

本発明の目的は、半導体電極のエマッタング端点がしやすく、施設部の施設部下のない、高品質の生産性の高い電口トランジスタとその製造方法とを提供することである。

【電口を構成するための手段】

本発明によれば、電口トランジスタにおいて、開設する刃は直に貫通する構造で形成された3口の前層構造を用いてゲート電極を形成し、その上

に半導体電極を構成する。

【効果】

半導体電極のエマッタング端点を除いて、半導体電極がエマッタングされた後は図2からなるゲート電極の半導体電極に最も近い図2の端が図2にエマッタングされるが、最も遠い図2の端によつてオーバエマッタングが防止され、図2と図1とによっては電極が構成される。また図2と図1がエマッタングされることで半導体電極のエマッタング端点が可視となる。

【実施例】

次に、本発明による電口トランジスタの実施例を図3をもつて説明する。

図3図にアタティップマトリックス電子に利用した本発明の実施例による電口トランジスタの断面構造を示す。ガラス基板10の上にトランジスタのゲート電極20が形成され、ペターニングされ、その上にならに図2の最も近い図2から図1に形成される。

ト地盤口 30、沟 2 ゲート地盤口 40 及び 沟 8
ゲート地盤口 50 が 3 層和層形成されている。ゲ
ート電極 20 に対向するように沟 8 ゲート地盤口
30 上にチャップルを構成するアセチルファスシリコ
ン半導体口 (N + 型アセチルファスシリコン) 口 70、
80 が所定形状にペターニングされて形成され、
その上にソース電極 90 と ドレイン電極 100 と
が形成されることにより沟 8 タンゲスタの一構
成子が構成されている。さらに、ドレイン電極 80
の一部と並列し、沟 8 ゲート地盤口 50 上に口
8 となる凹凸電極 110 が形成される。

ここで、第2ゲート掩蔽膜40は、第1ゲート掩蔽膜50に比べ露出エッチング性に優れた材料を使用することが望ましい。例えば、第2ゲート掩蔽膜40は、スペッタ法で形成する。第1ゲート掩蔽膜50により露出シリコン(310エキ)露点は酸化シリカル(T=100℃)露点で形成する。第2ゲート掩蔽膜40は、掩蔽性の優れている酸化シリコン

(SIN π) 口をブタズマCVD法で形成する。
 また、口1ゲート施設員80に、口施設シリコンや
 放化タンタルも使用可能である。この口、口1ゲ
 ート施設員80と口2ゲート施設員80とは、口
 のピンホール等の欠陥防止のため互いに員をも
 因法で形成することが施設員の点で好口しい。

図3ゲート焼成後60日、プラズマCVD膜に
より硬化シリコン膜で被覆される。

図1ゲート起算回数0回、西房電字起算回数0としての特性を有し、図2ゲート起算回数40回、図1ゲート起算回数30のピンホールの東西防止および辛導体回数60、70、80のエッティングの図のカーペエッティングを防止するストップの範囲を示す。図3ゲート起算回数60回、辛導体回数60、70、80のエッティングの図の東西範囲および辛導体回数60の東西単位を定量化せる範囲を示す。

ここで、本発明の発明によって実現に成功した効率トランザクションの例を説明する。図版300は、成功に成った、ペクターニングされたゲート

以上に、1000~4000 nmの膜厚の電化シリコン上で第1ゲート電極口80を形成し、600~2000 nmの膜厚の膜厚の電化シリコン上で第2ゲート電極口40を形成し、さらに600~2000 nmの膜厚の膜厚の電化シリコン上で第3ゲート電極口60をそれぞれ順次形成する。さらに、第3ゲート電極口60と第2ゲート電極口40、コンタクト半導体口70、80を順次形成する。その後、CF₄及びO₂ガスを用いてドライエッティングで半導体口60、70、80をペターニングする。ここで、エッティングが半導体口から電化シリコンの第3ゲート電極口60を経行した後に電極のアラズマ観察ピータを歯歯することによりエッティングは歯を歯出した。これにより、ソース・ゲート電極もしくは電極壁にすぐれた特性も安定な耐熱性トランジスタが形成性よく形成された。

以上、文筋内に於て本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、図々の穿孔、歯車、組合せ等が可逆なことは

当兵權に自負である。

(鬼脚印地圖)

ダート場の跡を巡回に回るシリコン車で見ていく。また、エマランダが車の跡を車で走り、巡回した時に車のブタズマを見た。また、車を出でることで車のエマランダが車の跡を車で走り、巡回した時に車のブタズマを見た。

日本ダーツ規則書にドロゲート規則よりも
エッティング紙に書いた材料を複数することにより、
エッティングストップの範囲を算出し、規則の
一部をアッティング固定が可能となる。

第9ゲート施設口はアタズマCVD口による
シリコン口を見いでいるため、真空を取らず。
半導体シリコン口の過渡成口が残るので、ゲー
ト施設口と半導体口との間に不規則な口入らず。

界面単位の安定なものを形成できる。

4. 図面の簡単な説明

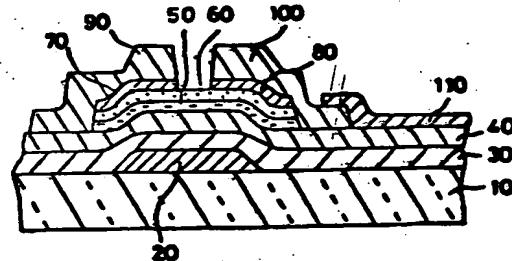
第1図は本発明の実施例による薄膜トランジスタの断面構造図。

第2図は従来の技術による薄膜トランジスタの断面構造図である。

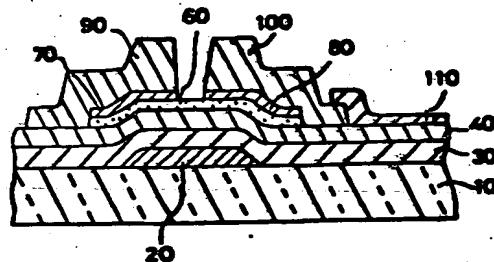
図において、

- 10 ガラス基板
- 20 ゲート電極
- 30 第1ゲート絶縁層
- 40 第2ゲート絶縁層
- 50 第3ゲート絶縁層
- 60, 70, 80 半導体層
- 90 ソース電極
- 100 ドレイン電極
- 110 透明電極層

特許出願人 スタンレー電気株式会社
代理人弁理士 高橋敬四郎



本発明の実施例による薄膜トランジスタ
第1図



従来の技術による薄膜トランジスタ
第2図

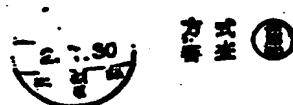
手続補正書(自発)

平成 2年 7月27日

特許庁長官 聞

1. 事件の表示 平成 2年特許第163744号
2. 発明の名称 薄膜トランジスタおよびその製造方法
3. 補正をする者
事件との関係 特許出願人
住所 東京都目黒区中目黒2丁目9番13号
名称 (230) スタンレー電気株式会社
4. 代理人 住所 平103 東京都中央区日本橋小伝馬町1-3
日本橋ニセキビル702 (530) 0004
氏名 (9134) 弁理士 高橋 敬四郎
5. 補正の対象 明細書の発明の詳細を説明する
6. 補正の内容 判紙の墨り

- (1). 明細書第 8頁第19~20行
「3000nm」を「300nm」と補正する。
- (2). 明細書第 9頁第1行
「1000~4000nm」を「100~400nm」と補正する。
- (3). 明細書第 9頁第3行
「500~2000nm」を「50~200nm」と補正する。
- (4). 明細書第 9頁第4~5行
「500~2000nm」を「50~200nm」と補正する。



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.